

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

6032456

Basic Patent (No,Kind,Date): JP 62095860 A2 870502 <No. of Patents: 008>

MANUFACTURE OF SEMICONDUCTOR DEVICE (English)

Patent Assignee: HITACHI LTD

Author (Inventor): SAITO RYUICHI; MONMA NAOHIRO

IPC: *H01L-027/04;

JAPIO Reference No: *110304E000060;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
DE 3682021	C0	911121	EP 86114610	A	861022
EP 222215	A2	870520	EP 86114610	A	861022
EP 222215	A3	880107	EP 86114610	A	861022
EP 222215	B1	911016	EP 86114610	A	861022
JP 62095860	A2	870502	JP 85235241	A	851023 (BASIC)
JP 62147759	A2	870701	JP 85287750	A	851223
JP 94095528	B4	941124	JP 85287750	A	851223
US 4772927	A	880920	US 922347	A	861023

Priority Data (No,Kind,Date):

JP 85235241 A 851023

JP 85287750 A 851223

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

02230859 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 62-147759 [JP 62147759 A]

PUBLISHED: July 01, 1987 (19870701)

INVENTOR(s): SAITO RYUICHI
 MONMA NAOHIRO

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
 (Japan)

APPL. NO.: 60-287750 [JP 85287750]

FILED: December 23, 1985 (19851223)

INTL CLASS: [4] H01L-027/08; H01L-021/20; H01L-027/00; H01L-027/10

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
 MOS)

JOURNAL: Section: E, Section No. 564, Vol. 11, No. 382, Pg. 123,
 December 12, 1987 (19871212)

ABSTRACT

PURPOSE: To sufficiently lower the lateral diffusion of conductive impurity in the polysilicon and make small fluctuation due to small size and high yield by including one element among oxygen, nitrogen and carbon into the entire part of polysilicon.

CONSTITUTION: An insulation film 2 is deposited on a semiconductor substrate 1, the polysilicon layer 3 is further deposited and it is etched like islands. Next, the oxygen ion 4, for example, is introduced into the polysilicon 3 by the ion implantation method, a gate insulation film 5 is formed, an electrode 9 is then formed, and the conductive impurity ion 8 is introduced by the ion implantation method to form a diffused layer 6 which becomes the source and drain. An insulation film 10 is then deposited and the heat processing is carried out. In this case, the lateral diffusion of conductive impurity is suppressed in the diffusion layer 6 due to existence of oxygen and the diffusion layer 6 is not connected even when the gate electrode 9 has the width of 2. μ m or less. Thereafter, a contact hole is formed on the insulation film 10, the Al electrode 11 is then formed, thus completing small size polysilicon MOS transistor element.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-147759

⑬ Int. Cl.⁴

H 01 L 27/08
21/20
27/00
27/10

識別記号

1 0 2

庁内整理番号

7735-5F
7739-5F
8122-5F
7735-5F

⑭ 公開 昭和62年(1987)7月1日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭60-287750

⑰ 出 願 昭60(1985)12月23日

⑱ 発 明 者 斎 藤 隆 一 日立市久慈町4026番地 株式会社日立製作所日立研究所内
⑲ 発 明 者 門 馬 直 弘 日立市久慈町4026番地 株式会社日立製作所日立研究所内
⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
㉑ 代 理 人 弁理士 小川 勝男 外2名

明 細 書

発明の名称 半導体装置の製造方法

特許請求の範囲

1. 半導体基体上のポリシリコン層にMOSトランジスタ素子を形成する半導体装置の製造方法において、前記ポリシリコン層全体に酸素、窒素、炭素のうちの少なくとも一種類の元素を含有させておいてから、不純物を導入しMOSトランジスタ素子を形成することを特徴とする半導体装置の製造方法。
2. ポリシリコン層のMOSトランジスタ素子は、半導体基板に形成されたMOSトランジスタ素子とゲート電極を共通化されており、前記半導体基板に形成されたMOSトランジスタ素子上に絶縁膜を介して積層して形成されることを特徴とする前記特許請求の範囲第1項記載の半導体装置の製造方法。
3. 酸素、窒素、炭素のうちの少なくとも一種類の元素は、前記ポリシリコン層のMOSトランジスタ素子のチャネルが形成されるポリシリコン-

絶縁膜界面近傍では低濃度で含有され、その他の前記ポリシリコン層中では高濃度で含有されていることを特徴とする特許請求の範囲第1項及び第2項記載の半導体装置の製造方法。

4. 酸素、窒素、炭素のうちの少なくとも一種類の元素は、 10^{18} 個/cm³~ 10^{22} 個/cm³の濃度であることを特徴とする前記特許請求の範囲第1項及び第2項記載の半導体装置の製造方法。

5. 前記ポリシリコン層は半導体基体上に絶縁膜を介して設けられることを特徴とする半導体装置の製造方法。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の製造方法に係り、特に、素子寸法を微細化し、歩留りを高くし、ばらつきを小さくするのに好適なポリシリコンを用いて形成するMOSトランジスタ素子の製造方法に関する。

〔従来の技術〕

従来、半導体装置、特にポリシリコンを用いて

形成したMOSトランジスタ素子については、アイ・イー・イー・イー、トランザクション オン エレクトロン、デバイス、イー・ディー32、ナンバー2(1985年)第258頁から第281頁 (IEEE, Trans. on Electron Device ED-32, No. 2 (1985) p. 258-281)において論じられている。すなわち、半導体集積回路の集積度を向上させ、かつ、電氣的に絶縁分離を計るために、単結晶半導体基板上に形成された絶縁膜あるいはトランジスタ素子上にポリシリコンMOSトランジスタ素子を積層して形成した構造が用いられている。ポリシリコンMOSトランジスタ素子のソースおよびドレイン領域はポリシリコン中に導電性不純物(NMOSではリン、ヒ素、アンチモン等、PMOSでは硼素、アルミニウム、ガリウム等)を導入することにより形成される。

〔発明が解決しようとする問題点〕

上記従来技術では、ポリシリコン中で結晶粒界を通る導電性不純物の拡散が非常に速い点について配慮されておらず、拡散が速いため熱処理によ

って大きな横方向拡散が起こるため、導電性不純物を導入する領域の間隔が狭いとソース領域とドレイン領域がつながってしまうことから、ゲート長が約2 μ m以下の微細な寸法のポリシリコンMOSトランジスタ素子を形成できないという問題があった。

本発明の目的は、ポリシリコン中の導電性不純物の横方向拡散を十分に低減し、寸法が微細な歩留りが高くばらつきの小さいポリシリコンMOSトランジスタ素子を形成するのに好適な半導体装置の製造方法を提供することにある。

〔問題点を解決するための手段〕

上記目的は、ポリシリコン層全体に酸素、窒素、炭素のうちの少なくとも一種類の元素を含有せしめることにより達成される。ここで好ましくは、酸素、窒素、炭素のうちの少なくとも一種類の元素は、しきい値電圧を増加させないために、ポリシリコンMOSトランジスタ素子のチャネルが形成されるポリシリコン-絶縁膜界面近傍では低濃度で含有され、その他の領域ではこれより高濃度

で含有される。また、好ましくは、酸素、窒素、炭素のうちの少なくとも一種類の元素の濃度は $10^{18} \sim 10^{22}$ 個/cm³の範囲に設定される。

〔作用〕

ポリシリコン層全体に酸素、窒素、炭素のうちの少なくとも一種類の元素を導入することにより、ポリシリコンの物性が変化する。特に、ポリシリコンの結晶粒界に部分的に酸化シリコン、窒化シリコンあるいは炭化シリコンが形成されることにより結晶粒界の物性が変化し、結晶粒界を通る不純物拡散が抑制されるように作用する。それによつて、ポリシリコン中の横方向拡散が低減されるため微細な寸法のポリシリコンMOSトランジスタ素子を形成することができる。また、拡散速度が小さいためばらつきは小さく、歩留りも高くなる。

〔実施例〕

以下、本発明の実施例を図面を用いて説明する。第1図は本発明の一実施例を示したものである。まず、第1図(a)に示すように半導体基板ある

いは半導体素子1の上に絶縁膜2を堆積し、さらにポリシリコン層3を例えば減圧CVD法を用いて堆積する。通常のホトエッチング法を用いてポリシリコン層3を島状にエッチングし素子形成領域とする。次に、例えば酸素イオン4をイオン打込み法を用いてポリシリコン3中に導入する(含有させる)。ここで、酸素イオン4のイオン打込みは、ポリシリコン3のエッチングを行なう前に行なつてもかまわない。打込み条件は、ポリシリコン3の厚さを考慮してポリシリコン層3全体に酸素が導入されるように設定される。導入された酸素濃度は好ましくは $10^{18} \sim 10^{22}$ 個/cm³の範囲内に設定される。また、好ましくはチャネル形成領域すなわちポリシリコン層3の上面近傍の酸素濃度は低濃度、例えば 10^{20} 個/cm³以下に設定する。これによつて、酸素の導入によるしきい値電圧の増加が阻げられる。次に、第1図(b)に示すように、熱酸化あるいは絶縁膜堆積を行なうことによりゲート絶縁膜5を形成する。次に、第1図(c)に示すように、ポリシリコンMOSト

ランジスタ素子のゲート電極 9 を形成し、導電性不純物イオン 8 をイオン打込み法を用いて導入し、ソースおよびドレイン領域となる拡散層 6 を形成する。次に、第 1 図 (d) に示すように絶縁膜 10 を堆積し、熱処理を加える。このとき、拡散層 6 中の導電性不純物の横方向拡散は酸素が含有されていることにより抑制され、ゲート電極 9 の幅が $2\mu\text{m}$ 以下、例えば $0.8\mu\text{m}$ であつても拡散層 6 はつながらず、チャネル領域 7 全体に導電性不純物が拡散されることはない。次に、第 1 図 (e) に示すように絶縁膜 10 にコンタクト穴を形成し、例えば A 8 電極 11 を形成して微細な寸法のポリシリコン MOS トランジスタ素子が形成される。

上記において、酸素の導入はポリシリコンの堆積時に酸素を含有させる方法を用いてもかまわない。また、酸素のみならず窒素あるいは炭素の導入によつても同様の不純物拡散抑制が起こることを発明者らは見出ししている。

第 2 図は、本発明の他の実施例として積層構造

MOS トランジスタであり、Tr 3、Tr 4 はポリシリコン P チャネル MOS トランジスタである。Tr 5、Tr 6 はトランスファーマ OS トランジスタであり、ワード線 W の電位変化に従い、ビット線 D₁、D₂ と記憶セルとを導通させる。Tr 3、Tr 4 は第 2 図に示すように、Tr 1、Tr 2 上にそれぞれ積層して形成され、Tr 1、Tr 2 のそれぞれ負荷 MOS となつており、電源端子 V_{cc} から V_{ss} への電流路を形成して 2 安定状態を形成する回路構造となつている。ここで、ポリシリコン PMOS トランジスタ Tr 3、Tr 4 中には例えば酸素が含有されるため、Tr 3、Tr 4 の寸法は Tr 1、Tr 2 と同等に微細に形成できる。これによつて記憶セルの高集積化が可能となる。

尚、MOS トランジスタとしては PNP、NPN、N+N⁺、P+PP⁺ の各構造のものに本発明は適用でき、また、不純物導入は、イオン打込みの他、拡散法など公知の各種の導入法を用いることができる。

〔発明の効果〕

の CMOS 素子を示したものである。すなわち、半導体基板 1 上に N 型拡散層 12、ゲート電極 9 を形成して N チャネル MOS トランジスタ素子を形成し、この素子上に積層して例えば酸素を $10^{18} \sim 10^{22}$ 個/cm² の濃度範囲内で含有するポリシリコン MOS トランジスタ素子を形成したものである。ポリシリコン MOS トランジスタ素子の拡散層 6 中には P 型不純物が導入されており、ゲート電極 9 を N チャネル MOS トランジスタと共通とするポリシリコン P チャネル MOS トランジスタ素子が形成されている。ここで好ましくはポリシリコン層下面近傍の酸素濃度は低く設定される。N チャネル MOS トランジスタ素子のドレインとポリシリコン P チャネル MOS トランジスタ素子のソースは接続されている。これによつて積層構造の CMOS 素子が形成される。

第 3 図は第 2 図に示した CMOS 素子によつて形成されるスタティック動作型のフリップフロップ記憶セルの回路図を示すものである。すなわち、Tr 1、Tr 2、Tr 5、Tr 6 は N チャネル

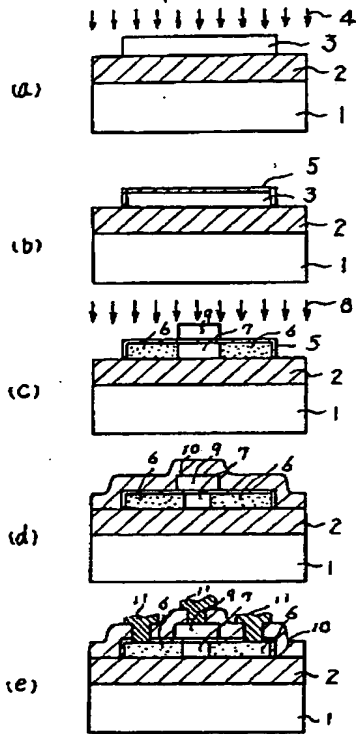
以上述べたように本発明によれば、ポリシリコン中での不純物の横方向拡散が抑制されるため、寸法が微細で歩留りが高くばらつきの小さいポリシリコン MOS トランジスタ素子を形成できる。図面の簡単な説明

第 1 図 (a) ~ (e) は本発明を適用したポリシリコン MOS 素子の形成工程の一実施例を示す断面構造図、第 2 図は本発明の他の実施例を示すものでポリシリコン P チャネル MOS トランジスタを積層して形成した CMOS 素子の断面構造図、また、第 3 図は CMOS 素子を用いたフリップフロップ記憶セルの回路図である。

1…半導体基板、2…絶縁膜、3…ポリシリコン、4…酸素、窒素、炭素のうちの少なくとも一つの元素イオン、5…ゲート絶縁膜、6…拡散層、7…チャネル領域、8…導電性不純物イオン、9…ゲート電極、10…絶縁物、11…A 8 電極、12…N 型不純物拡散層。

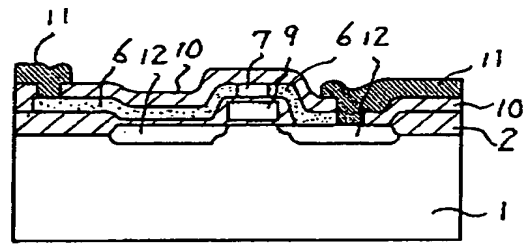
代理人 井理士 小川勝男

第 1 図



- 1—半導体基板
- 2—絶縁膜
- 3—ボロンリン
- 4— O_2, N_2, C
- 5—ゲート膜
- 6—拡散層
- 7—チャンネル層
- 8—不純物
- 9—ゲート電極
- 10—絶縁膜
- 11—Al電極

第 2 図



第 3 図

